

Requested Patent: JP60160459A
Title: DIRECT MEMORY ACCESS CONTROL SYSTEM ;
Abstracted Patent: JP60160459 ;
Publication Date: 1985-08-22 ;
Inventor(s): MIYOSHI KENTAROU ;
Applicant(s): FUJITSU KK ;
Application Number: JP19840008315 19840120 ;
Priority Number(s): ;
IPC Classification: G06F13/28 ;
Equivalents: JP1031225B, JP1544969C ;

ABSTRACT:

PURPOSE:To attain the transfer of data in (n) times per direct memory access cycle by setting the data bus width between a memory and a memory control part at the value (n) times as much as the internal data bus width.

CONSTITUTION:The data bus width between a memory 3 and a control part 4 is set at (n) compared with the internal data bus width 1. A microprocessor 1, the part 4 and adaptors 5-1 and 5-2 are connected to an internal bus. The input/output devices including a floppy disk device, a mini-disk device, etc. are connected under adaptors 5-1 and 5-2. A bus control part 2 sends a DMA request to the processor 1 when it receives a DMA transfer request signal from an adaptor 5-i. Then the part 2 sends the DMA permission signal to the adaptor 5-i of the DMA requester having the highest priority when the permission signal is sent back from the processor 1.

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)8月22日

G 06 F 13/28

7165-5B

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 直接メモリ・アクセス制御方式

⑯ 特 願 昭59-8315

⑰ 出 願 昭59(1984)1月20日

⑱ 発 明 者 三 好 健 太 郎 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 京 谷 四 郎

明 細 書

1. 発明の名称

直接メモリ・アクセス制御方式

2. 特許請求の範囲

内部バスと、メモリと、上記内部バスに接続されたマイクロプロセッサと、上記内部バスに接続されたアダプタと、上記メモリと内部バスとの間に設けられたメモリ制御部とを具備し、且つ上記メモリとメモリ制御部との間のデータ・バス幅が上記内部バスのデータ・バス幅の n 倍(ただし n は2以上の整数)であるシステムであつて、1回の直接メモリ・アクセス・サイクルで n 回のデータの受け渡しを上記メモリ制御部とアダプタとの間で行うことを特徴とする直接メモリ・アクセス制御方式。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、例えばメモリとメモリ制御部との間

のデータ・バス幅が2バイト、内部バスのデータ・バス幅が1バイトであるようなシステムにおいて、1回のDMA(直接メモリ・アクセス)サイクル中にメモリ制御部とアダプタとの間で1バイトのデータ転送を2回行うようにしたものである。
〔従来技術と問題点〕

メモリとメモリ制御部との間のデータ・バス幅が2バイトであり、内部バスのデータ・バス幅が1バイトであるシステムにおいては、従来は1回のDMAサイクル中にメモリ制御部とアダプタとの間で1バイトのデータ転送が行われていた。データをメモリに番込む場合、メモリ制御部は、アダプタから送られて来た1バイト・データと、メモリから読出した1バイト・データとをマージして2バイトのデータを作成していた。このような従来方式は、メモリとアダプタ間のデータ転送を効率よく行い得ないばかりでなく、メモリ制御部の負担が増加するという欠点があった。

〔発明の目的〕

本発明は、上記の考察に基づくものであつて、

メモリとメモリ制御部との間のデータ・バス幅が、アダプタとメモリ制御部との間のデータ・バス幅より n 倍(n は2以上の整数)であるシステムにおいて、メモリとアダプタの間のデータ転送を効率よく行い得ると共にメモリ制御部の負担を減少できるようにした直接メモリ・アクセス制御方式を提供することを目的としている。

〔発明の構成〕

そしてそのため、本発明の直接メモリ・アクセス制御方式は、内部バスと、メモリと、上記内部バスに接続されたマイクロプロセッサと、上記内部バスに接続されたアダプタと、上記メモリと内部バスとの間に設けられたメモリ制御部とを具備し、且つ上記メモリとメモリ制御部との間のデータ・バス幅が上記内部バスのデータ・バス幅の n 倍(ただし n は2以上の整数)であるシステムにおいて、1回の直接メモリ・アクセス・サイクルで n 回のデータの受け渡しを上記メモリ制御部とアダプタとの間で行うことを特徴とするものである。

ディスク装置等の入出力装置が接続されている。バス制御部2は、アダプタ5-1からDMA転送要求信号が送られて来ると、DMA要求をマイクロプロセッサ1に送り、マイクロプロセッサ1から許可信号が返って来ると最も優先順位の高いDMA要求発行元のアダプタ5-1に対してDMA許可信号を送る。また、バス制御部2は、アダプタ5-1から送られて来たデータ転送方向信号をメモリ制御部4に送る。

第3図はメモリ制御部およびアダプタの構成を示すものである。なお、第3図では、メモリ3とメモリ制御部4の間のデータ・バス幅が2バイト、内部バスのデータ・バス幅が1バイトであると仮定している。メモリ制御部4は、ライト・バッファ・レジスタ6、リード・バッファ・レジスタ7、マルチプレクサ8、ドライバ13及びレシーバ18などを有している。アダプタ5-1は、マルチプレクサ9と10、ライト・データ・レジスタ11、リード・データ・レジスタ12、ドライバ14と15及びレシーバ16と17などを有している。

〔発明の実施例〕

以下、本発明を図面を参照しつつ説明する。

第1図は本発明が適用されるシステムの1例を示す図、第2図は本発明の動作を説明するタイムチャート、第3図は第1図のメモリ制御部およびアダプタの要部の1実施例のブロック図である。

第1図および第3図において、1はマイクロプロセッサ、2はバス制御部、3はメモリ、4はメモリ制御部、5-1と5-2はアダプタ、6はライト・バッファ・レジスタ、7はリード・バッファ・レジスタ、8ないし10はマルチプレクサ、11はライト・データ・レジスタ、12はリード・データ・レジスタ、13ないし15はドライバ、16ないし18はレシーバをそれぞれ示している。

第1図において、内部バスのデータ・バス幅を1とすると、メモリ3とメモリ制御部4の間のデータ・バス幅は n である。マイクロプロセッサ1、メモリ制御部4およびアダプタ5-1、5-2は内部バスに接続されている。アダプタ5-1、5-2の下にはフロッピー・ディスク装置やミニデ

次に第2図を参照して本発明の動作を説明する。なお、説明を簡単にするため内部バスのデータ・バス幅は1バイト、メモリ3とメモリ制御部4の間のバス幅は2バイトと仮定する。アダプタ5-1は入出力装置からのデータをリード・データ・レジスタ12にセットしていく。リード・データ・レジスタ12がFullになると、アダプタ5-1はDMA転送要求信号をバス制御部2に送出し、DMA許可信号を待つ。バス制御部2は、DMA転送要求信号を受取ると、DMA要求をマイクロプロセッサ1に送り、許可信号が返ってくると、最も優先順位の高い要求発行元アダプタに対してDMA許可信号を返す。アダプタ5-1は、DMA許可信号が返って来ると、ライト信号をバス制御部2を介してメモリ制御部4に送り、アドレスを内部バスのアドレス・バスに送出し、リード・データ・レジスタ12の先頭バイト(バイト#1)のデータを内部バスのデータ・バスに送出する。メモリ制御部4は、送られて来たアドレスをアドレス・レジスタにセットし、送られて来たバイト

#1のデータをライト・データ・レジスタ6のバイト#1(先頭バイト)にセットする。アダプタ5-1は、次のタイミングでリード・データ・レジスタ12のバイト#2のデータを内部バスのデータ・バスに送出し、メモリ制御部4はバイト#2のデータをライト・バッファ・レジスタ6のバイト#2にセットする。メモリ制御部4は、ライト・バッファ・レジスタ6に2バイトのデータがセットされると、このデータをアドレス・レジスタで指定されたメモリ3の番地に書き込む。これらの動作は、全て1DMAサイクル中に行われる。

次にメモリ・リードについて説明する。入出力装置からのデータ転送要求信号があると、アダプタ5-1はDMA転送要求信号をバス制御部2に送る。バス制御部2からDMA許可信号が返ってくると、リード信号をバス制御部2を介してメモリ制御部4に送り、これと同時にアドレスを内部バスのアドレス・バスに送出する。メモリ制御部4は、送られて来たアドレスをアドレス・レジスタにセットし、アドレス・レジスタで指定される

メモリ3の番地の2バイト・データを読出し、これをリード・バッファ・レジスタ7にセットし、この2バイト・データを所定のタイミングで1バイトずつ内部バスのデータ・バスに送出する。アダプタ5-1は、内部バスのデータ・バス上のデータを所定のタイミングでライト・データ・レジスタ11にセットし、そのデータを入出力装置に送る。これらの動作は、全て1DMAサイクル中に行われる。

〔発明の効果〕

以上の説明から明らかなように、本発明によれば、メモリとアダプタ間のデータ転送を効率よく行い得るばかりでなく、従来方式のようにマージ処理を行う必要がないのでメモリ制御部の負担を小さくすることが出来る。

4. 図面の簡単な説明

第1図は本発明が適用されるシステムの1例を示す図、第2図は本発明の動作を説明する図、第3図は第1図のメモリ制御部およびアダプタの要

部の1実施例のブロック図である。

1…マイクロプロセッサ、2…バス制御部、3…メモリ、4…メモリ制御部、5-1と5-2…アダプタ、6…ライト・バッファ・レジスタ、7…リード・バッファ・レジスタ、8ないし10…マルチプレクサ、11…ライト・データ・レジスタ、12…リード・データ・レジスタ、13ないし15…ドライバ、16ないし18…レシーバ。

特許出願人 富士通株式会社
代理人弁理士 京谷 四郎

図1

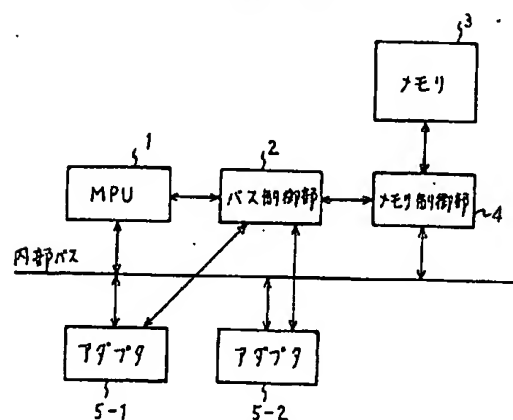


図2

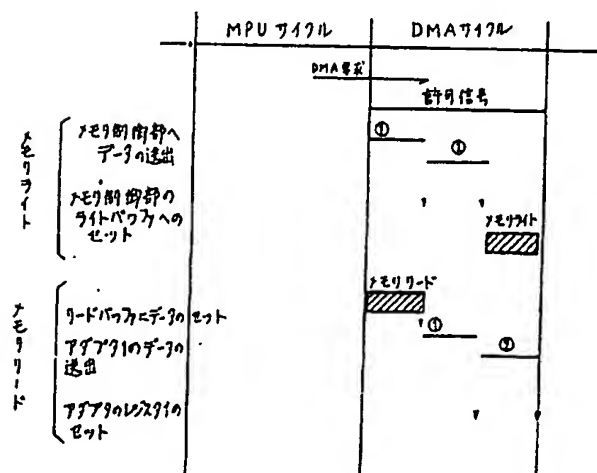


図3

